

量子アニーリングのためのハードウェア技術

—超伝導エレクトロニクスと超伝導量子回路—

川畑 史郎

最近量子アニーリングに大きな注目が集められている。量子アニーリングは量子力学的な重ね合わせの原理を利用して組合せ最適化問題を解く手法である。2011年にカナダのベンチャー企業 D-Wave Systems によって超伝導量子アニーリングマシンが商用化して以来、Google などの世界的企業がハードウェアの開発に乗り出してきた。本稿においては、超伝導量子アニーリングマシンハードウェアの基礎と研究開発動向について紹介を行う。また、現存するハードウェアの問題点や技術課題についても言及する。

キーワード：量子アニーリング, 超伝導エレクトロニクス, 組合せ最適化問題, 超伝導量子回路, 3次元実装

1. はじめに

2011年にカナダのベンチャー企業 D-Wave Systems が量子アニーリングマシンを商用化して以来、量子アニーリングマシンや量子コンピューターに関する研究開発が急激に進展するようになってきた。量子アニーリングマシンは、イジング型コンピューターの一つであり、組合せ最適化問題を量子効果を利用して解く専用計算機である。組合せ最適化問題の適応分野は、人工知能やロボットのみなならず、製造・物流・小売・金融・交通・社会インフラ・医療・ヘルスケア・農業・製薬等、極めて広範である¹。

D-Wave Systems による商用化以降、Google・Northrop Grumman・MIT・理研・産総研がその大規模化や高性能化に向けたハードウェア開発を進めている。また、万量子コンピューターを利用して近似的に量子アニーリングを実現するデジタル断熱量子コンピューターの開発も Google・Rigetti Computing らによって進められている。これらの技術の基盤は、超伝導エレクトロニクスと超伝導量子回路である。本解説においては、量子アニーリングマシンのハードウェアに関わる最先端技術と研究開発動向を概観するとともに、その課題と展望について述べる。

2. 量子アニーリングの基礎

さまざまな組合せ最適化問題は、スピニングラス模型

の最低エネルギー状態探索問題に数学的にマップできる。ここでスピニングラス模型とは、正方格子状に配置したスピン (+1 or -1) からなる格子モデルである。また、このモデルにおいては、各スピン同士は磁氣的に不均一に相互作用をしている。このとき系の全エネルギーは、コスト関数

$$E = - \sum_{i=1}^N \sum_{j \neq i}^N J_{i,j} \sigma_i \sigma_j - \sum_{i=1}^N h_i \sigma_i \quad (1)$$

と与えられる。ここで、 N は全スピン数、 $\sigma_i = \pm 1$ はサイト i のスピン変数、 $J_{i,j}$ は異なるスピン間の相互作用強度、 h_i はサイト i の局所磁場である。したがって、まず、解きたい組合せ最適化問題に対応したスピニングラス模型 $(\{h_i\}, \{J_{i,j}\})$ を構成する。次に、その最低エネルギー状態 (スピン配列 $\{\sigma_i\}$) を求めることで、組合せ最適化問題の最適解を得ることができる。しかし、ノイマン型コンピューターを用いて最適解を求めることは、 N が大きくなるととても困難になることが知られている。

スピニングラス模型に対するメタヒューリスティックな解法として、物理学の知見に基づく二つの方法が知られている。一つ目の方法は、シミュレーテッド・アニーリング (焼きなまし法) である。この古典統計物理学的方法においては、擬似的に温度を徐々に減少させることで、スピニングラス模型の最低エネルギー状態あるいはそれに近い状態を求める。これは、金属を熱し、その後徐々に冷却することで綺麗な結晶 (安定状態) を得る、いわゆる焼きなまし処理に類似している。

¹ 数理最適化をその基礎とするオペレーションズ・リサーチもその適応対象となっている。

一方、もう一つの方法は、量子アニーリングと呼ばれる日本で生まれた量子力学的手法である [1]。この基本原理は、1998年に東工大の門脇と西森によって提唱された [2]。この手法においては、量子力学的揺らぎの効果（横磁場）を徐々に減少させることで、スピングラス模型の最低エネルギー状態あるいはそれに近い状態を求める。量子アニーリングは、量子力学的重ね合わせによる全空間探索と、量子トンネルによる準安定状態からの脱出効果を巧みに利用していると考えられている。そのため、シミュレーテッド・アニーリングよりも高速に組合せ最適化問題が解けるのではないかと期待されている。量子アニーリングの詳細については本特集大関氏の解説 [3] を参照のこと。

量子アニーリングのシミュレーテッド・アニーリングに対する優位性はさまざまな数値的研究や D-Wave マシンを用いた実証研究 [4] で示されているものの、その反例も多く見つかっている [5]。そのため、量子アニーリングの古典ベストアルゴリズムに対する優位性がどのような組合せ最適化問題に対して示されるのかを今後明確にする必要がある。また、量子アニーリングは本質的にアナログ計算であるために、大規模化すればするほど誤差やエラーに対して脆弱になると考えられる。そのため、エラー抑制法あるいはエラーに対して堅強な量子ビット実現法を見いだす必要がある。その一方で、実社会やビジネスにおいては必ずしも厳密解を求めなくても、近似解で十分なケースがほとんどである。そのため、近似解に対する量子アニーリングの定量的優位性を明らかにすることも今後重要な課題となる。

3. 超伝導量子回路

現在研究開発が進められている超伝導量子アニーリングマシンにおいては、その基本素子として超伝導量子ビットが用いられている。この超伝導量子ビットは、NEC（現理化学研究所）の蔡と中村によって1999年に世界で初めて実現された [6]。つまり、量子アニーリングマシンの基本要素技術は日本で生まれたのである。本節においては、超伝導量子ビットの概略について紹介を行う。

3.1 ジョセフソン接合

超伝導量子ビットの最小構成要素は、ジョセフソン接合と呼ばれる超伝導デバイスである [7]。ジョセフソン接合は、数ナノメートル程度の極めて薄い絶縁膜を二つの超伝導体で挟んだ構造を有している（図1）。超伝導は、超伝導を担う電子の対（クーパー対）が転移温

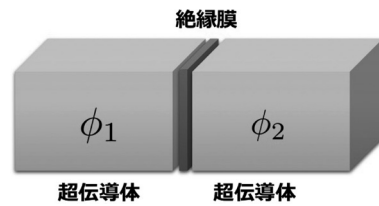


図1 ジョセフソン接合の概念図

度以下で凝縮して発現する巨視的量子現象である。その結果、超伝導体は一つの巨視的波動関数（複素関数）によって記述される。

ジョセフソン接合においては、電圧を印加しなくてもクーパー対のトンネル効果によって電流が流れる。これは直流ジョセフソン効果と呼ばれる。接合に流れる電流は、超伝導体1および2の巨視的波動関数の位相差 $\phi = \phi_1 - \phi_2$ を用いて $I_J(\phi) = I_C \sin \phi$ と表される。ここで、 I_C はジョセフソン臨界電流と呼ばれる。このジョセフソン接合は、超伝導量子回路を構成する基本要素であり、位相差 ϕ に対する \sin 依存性から非線形なインダクタとしても振る舞う。

3.2 超伝導量子ビット

超伝導量子ビットは、ジョセフソン接合から構成される。ここでは、代表的な量子ビットである磁束量子ビットとトランズモン量子ビットについて紹介を行う。

磁束量子ビットは、ジョセフソン接合を図2左のように配置した超伝導リングである [8]。この量子ビットにおいては、外側の大きなリングを時計（反時計）回りに巨視的な超伝導電流が流れる状態をスピン変数 $+1(-1)$ に対応させる。それぞれの状態は、大きな外側リングを貫く磁束が $\pm\phi_0/2$ の状態に対応する²。ここで、 $\phi_0 = h/2e$ は磁束量子である（ e は素電荷、 h はプランク定数）。これら巨視的な2状態の量子力学的重ね合わせを世界で初めて実現したのは、NECの中村らである [9]。D-Wave Systems や Google のアナログ型超伝導量子アニーリングマシンにおいては、この超伝導磁束量子ビットがスピンとして用いられている。

一方、デジタル型断熱量子コンピューターにおいては、トランズモンと呼ばれる超伝導量子ビットが利用

² リング状の超伝導体においては、リングを貫く磁束が ϕ_0 の整数倍に量子化されることが知られている。これは磁束の量子化と呼ばれる。一方、図2左のように構成した磁束量子ビットにおいては、内側の小さなリングに磁束量子 ϕ_0 程度の磁束 Φ_{in} を印加すると外側の大きなリングを貫く磁束が $\pm\phi_0/2$ となる2状態がエネルギー的に安定となる。磁束量子ビットにおいては、この2状態が量子ビットとして用いられる。

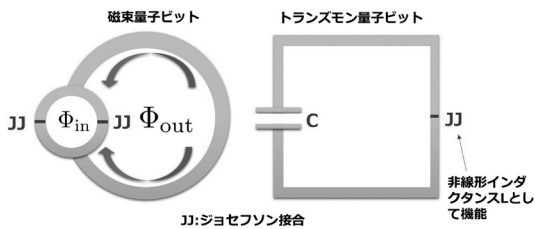


図2 超伝導磁束量子ビットの回路構成。磁束量子ビット(左)とトランズモン量子ビット(右)。トランズモン量子ビットにおいて、ジョセフソン接合 JJ は非線形なインダクタ L として機能する。

されている [10]。トランズモン量子ビットは、基本的には LC 共振回路である (図2右)。 LC 共振回路のエネルギーは、 $E_{LC} = Q^2/2C + \Phi^2/2L$ で与えられる。ここで、 Q はキャパシタ C に蓄えられている電荷であり、 Φ はインダクタ L を構成するコイルを貫く磁束である。これを量子化すると、調和振動子と同様な等間隔なエネルギー単位構造が得られる。しかしこのままでは、すべてのエネルギー単位間隔が等価になるため、量子ビット (量子2準位系) として機能しない。そこで、 L として非線形インダクタとして機能するジョセフソン接合 JJ を用いて、エネルギー間隔を不均一にしたものがトランズモン量子ビットである³。

4. 超伝導量子アニーリングマシンのハードウェア

この節においては、超伝導磁束量子ビットを利用した超伝導量子アニーリングマシンのハードウェア構成 [11] について紹介を行う。このハードウェアは、量子性を発現させるために約 10 mK という極低温環境下で動作する。

4.1 スピンの制御

磁束量子ビットを用いた超伝導量子アニーリングマシンにおいては、外側の大きなリングに印加する磁束 Φ_{out} を調整することで局所磁場 h_i を制御する (図2左)。また、量子アニーリングに必要な横磁場は、内側の小さなリングに外部から磁束 Φ_{in} を印加することで実現する (図2左)。横磁場を印加することで、スピンの $+1$ と -1 の2状態の量子力学的重ね合わせが生成される。量子アニーリングプロセスにおいては、この横磁場を徐々に弱めていく。

³ トランズモン量子ビットにおいては、非常に大きなキャパシタ C を並列接続する。それにより、電荷ノイズに対して非常に堅強になり、0.1 ミリ秒を超える極めて長いコヒーレンス時間が実現できる。

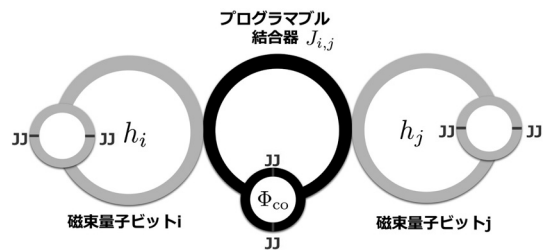


図3 超伝導量子アニーリングマシンにおける磁束量子ビット (灰色) と結合器 (黒色)

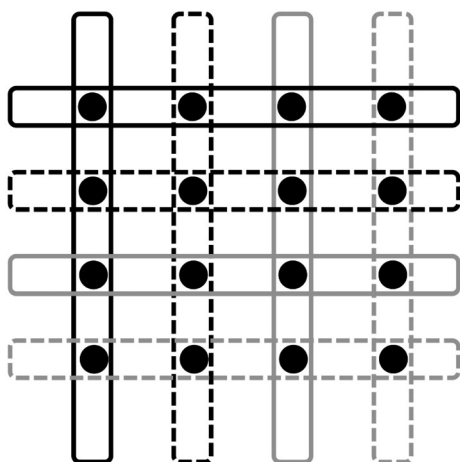
4.2 スピン間相互作用

磁束量子ビットを用いた超伝導量子アニーリングマシンにおいては、結合器を媒介した磁氣的相互作用を用いてスピン間結合 $J_{i,j}$ を間接的に実現している (図3)。両端の超伝導リング (灰色) は磁束量子ビットであり、真ん中の超伝導リング (黒色) は結合器である。結合器の中にある小さな超伝導リングに印加する磁束 Φ_{co} を制御することで $J_{i,j}$ を可変にできる。そのため、真ん中の超伝導リングはプログラマブル結合器とも呼ばれる。

4.3 キメラアーキテクチャ

量子アニーリングマシンのハードウェアにおいては、最隣接スピンのみならず遠くのスピンの結合も実装する必要がある。しかしながら現実のハードウェアにおいては、遠距離相互作用を実装することは極めて困難である。そこで、D-Wave Systems は、キメラアーキテクチャ [11] と呼ばれるグラフ理論に基づくハードウェアアーキテクチャを考案・実装している。それによって、最隣接としか相互作用しないスピングラス模型 (キメラグラフ) の中に、遠くと相互作用するスピングラス模型を埋め込むことが可能となる。ただし、 N スピンの全結合スピングラス模型を実装するためには、約 N^2 個の最隣接相互作用するスピングラス模型が必要となる。そのため、たとえば 10000 物理量子ビットが集積化できたとしても、わずかに $\sqrt{10000} = 100$ 論理量子ビットしか実装できないことになる。図4に具体的な構成例を示す。縦横に細長いループが量子ビットである。また量子ビットが交わる部分 (黒丸) は結合器である。量子ビットのコピーを作ることで、任意のスピン間の結合を実現していることがわかるであろう。実際の D-Wave マシンにおいては、図4の8ビットを1ユニットとして、このユニットを2次元タイル上に敷きつめたハードウェア構造となっている⁴。

⁴ 現在最新版の D-Wave マシン 2000Q においては、合計 2048 物理量子ビット (256 ユニット) が集積化されている。



8物理量子ビット=4論理量子ビット
 $N(N+4)/4$ 物理量子ビット=N論理量子ビット

図4 キメラアーキテクチャの概念図。それぞれのループ（黒色実線、黒色点線、灰色実線、灰色点線）が超伝導磁束量子ビット。黒丸はプログラマブル結合器

4.4 ハードウェアの問題点と課題

現在商用化されている量子アニーリングマシンにおいては、(1) コヒーレンス時間がアニーリング時間に比べて短い、(2) 実ビジネスに適応するには量子ビット集積度が低すぎる、(3) 有限温度の効果で基底状態からの熱励起が生じる、という三つの深刻な問題点が指摘されている。そこで、これらの課題とその解決策について述べる。

量子ビットの重要な性能指標がコヒーレンス時間である。これは、重ね合わせ状態などの量子力学的な性質が維持される時間のことである。D-Waveマシンで用いられている磁束量子ビットのコヒーレンス時間は約100ナノ秒程度であると見積もられている[12]。それに対し、量子アニーリングの典型的な計算時間はミリ秒程度であり、コヒーレンス時間よりも桁違いに長い。そのため、実際のマシンにおいては、量子力学的な性質はかなり弱まっていると考えられている⁵。したがって、コヒーレンス時間のさらなる改善が必須となる。そのためには、コヒーレンスを壊す要因（絶縁膜中の格子欠陥や周辺回路からの雑音など）を低減する技術を構築する必要がある。

なお、1999年に中村と蔡らによって世界で初めて超

伝導量子ビットが実現して以来、超伝導量子ビットのコヒーレンス時間は指数関数的に年々向上してきた。当初、超伝導量子ビットのコヒーレンス時間は1ナノ秒であった。しかし、2018年3月現在では、100マイクロ秒（大きなCを並列接続した磁束量子ビット）～150マイクロ秒（トランズモン量子ビット）まで劇的に延びてきた。そのため、これらのコヒーレンス性能の高い量子ビットを量子アニーリングマシンに実装することが今後必要となる。さらに、ソフトウェア的にエラー耐性を有する量子ビットを実現することも極めて重要な課題となる。ただし、アナログ回路に対してはデジタル回路で利用されているエラー訂正符号を適応することはできない⁶。そのため、何らかの量子力学的性質を利用して量子ビット自体にエラー耐性をもたせる方法を考える必要がある。

次に(2)の集積度の問題について述べる。集積度を向上させるためには、アーキテクチャやハードウェア実装を大きく改善する必要がある。D-Waveマシンで採用されているキメラアーキテクチャには、任意の組合せ最適化問題を埋め込めるという利点があるものの、物理的に冗長な量子ビットを大量に必要とするという欠点がある。今後、オーバーヘッドを低減するための新しいハードウェアアーキテクチャの考案が大規模化のための重要課題となる。そのためには、グラフ理論だけでなく、実際のハードウェア特性や量子力学的性質を積極的にアーキテクチャ設計に取り込む必要がある。

また、D-Waveマシンにおいては、2次元実装技術が用いられている。磁束量子ビットのサイズは0.1mm程度と大きいために、2次元実装技術を用いただけではその大規模集積化に限界がある⁷。そこで、2.5次元や3次元実装技術を導入することで、力技で大規模化を行う方向の研究も今後ますます重要となる⁸。実際、MITのグループは、アメリカIARPAのプロジェクトQE0 (Quantum Enhanced Optimization)において、超伝導量子アニーリングマシンの3次元実装に関する研究

⁶ 古典エラー訂正符号を素朴にD-Wave量子アニーリングマシンに実装した実験研究が行われている[14]。しかし、エラー抑制効果はそれほど大きくはないようである。一方、デジタル断熱量子コンピューターの場合は、量子エラー訂正符号の実装が可能となるため、その効果の実証が今後の重要な課題となる。

⁷ たとえば、最先端の直径450mmシリコンウェハー上に量子ビットを敷きつめたとしても、せいぜい数万物理量子ビット（数百論理量子ビット）しか集積化できない。

⁸ これらの実装技術においては、複数のチップを接続するためのフリップチップ接続技術や超伝導シリコン貫通ビア(TSV)技術が重要な開発要素となる。

開発を進めている [15]. その予算規模は 5 年で 50 億円である. 一方, 後述するように国内においては産業技術総合研究所が 2.5 次元実装技術を利用した大規模超伝導量子アニーリングマシンの研究開発を進めている. また, Google もデジタル断熱量子コンピューター向けの 3 次元実装技術の開発を進めている.

最後に有限温度の効果 (3) の対策方法について述べる. 実際の量子アニーリングマシンにおいては, 有限温度の効果のために基底状態から励起状態への熱励起が生じてしまう. また, 基底状態と第 1 励起状態とのエネルギーギャップは, 通常スピン数 N の関数として指数関数的に消失することが知られている. そのため, 高性能冷凍機を用いてより低温に冷却することで, 力技で熱励起を抑制する必要がある. しかしながら, この愚直なアプローチには技術的・コスト的な観点から限界がある. そのため, 別の方法を用いて有限温度の問題を根本的に解決しなければならない. 最近, XX 相互作用⁹を量子揺らぎとして導入することでギャップ消失のスケールが指数関数から冪関数に大幅に緩和される可能性が西森らによって指摘されている [16]. したがって, XX 相互作用を量子アニーリングマシンに実装することが重要な研究課題となる.

5. ハードウェアの研究開発動向

本節においては, 世界中で進められている超伝導量子アニーリングマシンハードウェアの研究開発動向について概観する. また, 類似したアニーリングマシンハードウェアの開発状況についても紹介を行う.

5.1 D-Wave Systems

カナダのベンチャー企業 D-Wave Systems は, 2011 年に世界で初めてアナログ型量子アニーリングマシン D-Wave One を商用化した. その後 2013 年に, Google, Lockheed Martin, 米航空宇宙局 (NASA), 米大学宇宙研究協会が D-Wave Two を購入し, 共同で量子人工知能研究所を設立した. 2015 年に Google と NASA は, D-Wave 2X は特定の組合せ最適化問題に対して, 通常の計算機に比べて 1 億倍高速であるという衝撃的な結果を報告した [4]. しかしながら, 別の組合せ最適化問題に対しては通常のパソコンと同程度あるいは低いパフォーマンスしか示さないケースも見つかっている [5]. したがって, D-Wave の量子アニーリングマシンが本当に古典コンピューターより高速であ

るのかどうかは現段階では不明である. 最新版ハードウェアは, 2017 年に販売開始された D-Wave 2000Q (2048 量子ビット) である. 現在さまざまな企業や研究機関が D-Wave マシンにクラウド経由でアクセスし, ビジネス展開に向けた研究開発を進めている.

5.2 Google

Google は, カリフォルニアにある同社量子アニーリングマシンハードウェア研究所において, 独自の超伝導量子アニーリングマシンの開発を行っている. 彼らは, Fluxmon と呼ばれるマイクロ波共振器と超伝導磁束量子ビットを組み合わせたアナログ型量子アニーリングマシンを提唱し, 2018 年 3 月にロサンゼルスで開催された米国物理学会において 9 量子ビットのハードウェア “Quantum Annealer 2.0” の実証について報告を行った [17]. 彼らはさらに, デジタル断熱量子コンピューターと呼ばれる万能量子コンピューター上で量子アニーリングを近似的にエミュレートする手法 QAOA (Quantum Approximated Optimization Algorithm) に基づいた 9 量子ビットハードウェアも実現している [18]. このハードウェアにおいては, 量子コヒーレンス時間の非常に長いトランズモン量子ビット (エックスモン) がスピンとして利用されている. そのため, D-Wave マシンよりも量子コヒーレンス性能の高い量子アニーリングマシンが実現すると期待されている. さらに, デジタル断熱量子コンピューターは万能量子コンピューターであるという点も重要である. すなわち, 量子エラー訂正符号を実装することによって, エラーに対して堅強な量子アニーリングが可能になると期待されている.

5.3 その他の海外企業

Northrop Grumman は, IARPA のプロジェクトに参画し, アナログ型超伝導量子アニーリングマシンを開発している [19]. また, Rigetti Computing [20] においてデジタル断熱量子コンピューターの研究開発が進められている. そもそも Rigetti Computing は, 超伝導量子回路を用いた万能量子コンピューターを開発しているベンチャー企業である. しかし, その商用化には長い年月が必要であると考えられている. そこで, 万能量子コンピューターと平行して, 近未来に実現可能なハードウェア (Noisy intermediate-scale quantum computing: NISQ) [21] として彼らはデジタル断熱量子コンピューターの開発を行っているようである.

5.4 日本国内

国内においては, 産業技術総合研究所と理化学研究所が独自のアナログ型超伝導量子アニーリングマシン

⁹ XX 相互作用とは, 2 体の量子的な相互作用である. XX 相互作用が存在することにより, 系は非擬似古典確率的となる. 詳細については大関氏の解説を参照のこと.

の研究開発を NEDO IoT 横断プロジェクトにおいて進めている [22]. 産業技術総合研究所は, 2.5 次元実装技術と特定最適化問題専用アーキテクチャを利用した大規模向け超伝導量子アニーリングの研究開発を進めている [23]. 彼らは, 超伝導量子ビットチップと古典周辺回路チップ (制御・読み出し回路) を分離することで, 量子ビットのコヒーレンス時間向上を目指している. また, これらのチップをインターポザーを介してレゴブロックのようにタイル状に接続することで, 大規模 2.5 次元実装が可能となる. さらに, 特定の組合せ最適化問題に特化した量子アニーリングチップを設計することで, キメラアーキテクチャで問題となっている物理量子ビットのオーバーヘッドを大幅に低減することが可能となる. 一方, 理化学研究所は, マイクロ波共振器を媒介して超伝導量子ビット間を相互作用させる全結合方式量子アニーリングマシンを提唱している. この方式を用いることで, 任意のスピンの間結合が実装可能となる.

5.5 類似ハードウェア: 半導体・光・スピン

国内において, 古典シミュレーテッド・アニーリングをデジタル半導体集積回路を利用して実装した CMOS アニーリングマシン (日立製作所) [24] とデジタルアニーラー (富士通) [25] が開発されている¹⁰. これらの半導体ベースの古典アニーリングマシンは, 室温で動作するとともに小型化が可能である. そのため, 将来的にはスマートフォンや自動運転車などのエッジ端末に搭載可能になると期待されている. また, 半導体集積回路技術に基づいているために, 大規模化が極めて容易であるという利点も有している.

一方, 光を利用したアニーリングマシンであるコヒーレントイジングマシンが NTT によって開発された [26]. コヒーレントイジングマシンは, 光パラメトリック発振を利用して生成した光パルスの位相 (0 あるいは π) をスピンとして用いている. また, スピン間の相互作用は, 光測定回路と古典半導体集積回路 (FPGA) によるフィードバック方式を用いて実現している. この手法を利用することで, 任意の長距離スピン間の相互作用をオーバーヘッドなしに実装可能となる. 現段階で 2000 ビットの全結合スピングラス模型に対する組合せ最適化問題のデモンストレーションに成功してい

る [26]. また, 2017 年にラックマウント型コヒーレントイジングマシンを利用したクラウドサービス QNN-Cloud [27] もスタートし, 今後の技術進展に大きな注目が集められている. さらに, コヒーレントイジングマシンをシリコンフォトニクス技術を駆使して固体チップ化するための研究開発が Hewlett-Packard で進められている [28]. 固体チップ化により, さらに小型化が可能となる.

上記以外にも, 最近スピントロニクスデバイスを利用した古典アニーリングマシンの提案や実証研究も行われている. たとえば, GlobalFoundries は, スピントランスファートルク磁気ランダムアクセスメモリ (STT-MRAM) ベースの古典アニーリングマシンを提案・モデル化し, 巡回セールスマン問題や充足命題可能性問題の数値シミュレーションを行った [29]. また, 南 Florida 大学は, STT-MRAM アレイを用いた古典アニーリングマシンを実現し, 画像認識のデモンストレーションを行っている [30]. このように, さまざまな物理系を利用したアニーリングマシンの研究開発が今後もさらに活発化するであろうと考えられる.

6. 最後に

本解説においては, 超伝導体を利用した量子アニーリングマシンのハードウェアの基礎と国内外研究開発動向について紹介を行った. 量子揺らぎとして横磁場を利用した量子アニーリングマシンは, 組合せ最適化問題やサンプリングなどの特定の限られたタスクしか処理できないと考えられている. それに対して, 量子力学的な多体相互作用 (XX 相互作用や XXX 相互作用など) を量子揺らぎとして導入することで, 万量子コンピュータと等価になることが理論的に示されている [31]. そのため量子アニーリングマシンの適応範囲が, 将来的に暗号解読・データ検索・量子化学計算・機械学習などへ格段に広がると期待できる. 今後, 物理・材料・デバイス・回路・アーキテクチャ・ソフトウェアのさまざまなレイヤーの研究者・技術者が密に連携を行うことで, 近未来の量子マシンである量子アニーリングマシンが社会普及し, 近い将来量子テクノロジーが我々の生活に浸透するであろう. その後, 究極のコンピューターである万量子コンピュータの大規模化と商用化に繋がると期待している.

参考文献

- [1] 西森秀稔, 大関真之, 『量子アニーリングの基礎』, 共立出版, 2018.

¹⁰日立製作所の CMOS アニーリングマシン (20000 ビット) は 65 nm プロセスの専用デジタル半導体チップ ASIC を利用している. 一方富士通のデジタルアニーラー (2000 ビット) は FPGA (Field Programmable Gate Array) を利用している.

- [2] T. Kadowaki and H. Nishimori, “Quantum annealing in the transverse Ising model,” *Physical Review E*, **58**, article number: 5355, 1998.
- [3] 大関真之, “量子アニーリングによる組合せ最適化,” オペレーション・リサーチ: 経営の科学, **63**(6), pp. 326–334, 2018.
- [4] V. S. Denchev, S. Boixo, S. V. Isakov, N. Ding, R. Babbush, V. Smelyanskiy, J. Martinis and H. Neven, “What is the computational value of finite range tunneling?” *Physical Review X*, **6**, article number: 031015, 2016.
- [5] T. F. Rønnow, Z. Wang, J. Job, S. Boixo, S. V. Isakov, D. Wecker, J. M. Martinis, D. A. Lidar and M. Troyer, “Defining and detecting quantum speedup,” *Science*, **345**, pp. 420–424, 2014.
- [6] Y. Nakamura, Y. A. Pashkin and J. S. Tsai, “Coherent control of macroscopic quantum states in a single-Cooper-pair box,” *Nature*, **398**, pp. 786–788, 1999.
- [7] アレクサンドレ・ザゴスキ (権沢宇紀訳), 『多体系の量子論』, 丸善プラネット, 2012.
- [8] 中村泰信, “ジョセフソン接合磁束量子ビットのコヒーレント制御,” 固体物理, **38**, pp. 33–44, 2003.
- [9] I. Chiorescu, Y. Nakamura, C. J. P. M. Harmans and J. E. Mooij, “Coherent quantum dynamics of a superconducting flux-qubit,” *Science*, **299**, pp. 1869–1871, 2003.
- [10] A. Blais, R.-S. Huang, A. Wallraff, S. M. Girvin and R. J. Schoelkopf, “Cavity quantum electrodynamics for superconducting electrical circuits: An architecture for quantum computation,” *Physical Review A*, **69**, article number: 062320, 2004.
- [11] C. C. McGeoch, *Adiabatic Quantum Computation and Quantum Annealing: Theory and Practice*, Morgan & Claypool, 2014.
- [12] R. Harris, J. Johansson, A. J. Berkley, M. W. Johnson, T. Lanting, S. Han, P. Bunyk, E. Ladizinsky, T. Oh, I. Perminov, E. Tolkacheva, S. Uchaikin, E. M. Chapple, C. Enderud, C. Rich, M. Thom, J. Wang, B. Wilson and G. Rose, “Experimental demonstration of a robust and scalable flux qubit,” *Physical Review B*, **81**, article number: 134510, 2010.
- [13] T. Lanting, A. J. Przybysz, A. Y. Smirnov, F. M. Spedalieri, M. H. Amin, A. J. Berkley, R. Harris, F. Altomare, S. Boixo, P. Bunyk, N. Dickson, C. Enderud, J. P. Hilton, E. Hoskinson, M. W. Johnson, E. Ladizinsky, N. Ladizinsky, R. Neufeld, T. Oh, I. Perminov, C. Rich, M. C. Thom, E. Tolkacheva, S. Uchaikin, A. B. Wilson and G. Rose, “Entanglement in a quantum annealing processor,” *Physical Review X*, **4**, article number: 021041, 2014.
- [14] K. L. Pudenz, T. Albash and D. A. Lidar, “Error corrected quantum annealing with hundreds of qubits,” *Nature Communications*, **5**, article number: 3243, 2014.
- [15] IARPA, “Quantum Enhanced Optimization (QEO),” <https://www.iarpa.gov/index.php/research-programs/qeo> (2018年3月14日閲覧)
- [16] H. Nishimori and K. Takada, “Exponential enhancement of the efficiency of quantum annealing by non-stoquastic Hamiltonians,” *Frontiers in ICT*, **4**, p. 2, 2017.
- [17] Y. Chen, C. Quintana, D. Kafri, B. Chiaro, A. Dunsworth, B. Foxen, J. Wenner, J. Martinis and H. Neven, “Progress towards quantum annealer v2.0 I: Hardware,” <http://meetings.aps.org/Meeting/MAR18/Session/C26.8> (2018年3月14日閲覧)
- [18] R. Barends, A. Shabani, L. Lamata, J. Kelly, A. Mezzacapo, U. Las Heras, R. Babbush, A. G. Fowler, B. Campbell, Y. Chen, Z. Chen, B. Chiaro, A. Dunsworth, E. Jeffrey, E. Lucero, A. Megrant, J. Y. Mutus, M. Neeley, C. Neill, P. J. J. O’Malley, C. Quintana, P. Roushan, D. Sank, A. Vainsencher, J. Wenner, T. C. White, E. Solano, H. Neven and J. M. Martinis, “Digitized adiabatic quantum computing with a superconducting circuit,” *Nature*, **534**, pp. 222–226, 2016.
- [19] D. Ferguson, “Component concepts for superclassical quantum annealing,” <http://www.smapip.is.tohoku.ac.jp/~aqc2017/AQC2017abs/contributed3.pdf> (2018年3月14日閲覧)
- [20] J. S. Otterbach, R. Manenti, N. Alidoust, A. Bestwick, M. Block, B. Bloom, S. Caldwell, N. Didier, E. S. Fried, S. Hong, P. Karalekas, C. B. Osborn, A. Pappageorge, E. C. Peterson, G. Prawiroatmodjo, N. Rubin, C. A. Ryan, D. Scarabelli, M. Scheer, E. A. Sete, P. Sivarajah, R. S. Smith, A. Staley, N. Tezak, W. J. Zeng, A. Hudson, B. R. Johnson, M. Reagor, M. P. da Silva and C. Rigetti, “Unsupervised machine learning on a hybrid quantum computer,” arXiv: 1712.05771, 2017.
- [21] 藤井啓祐, “量子コンピューターの基礎,” オペレーションズ・リサーチ: 経営の科学, **63**(6), pp. 311–318, 2018.
- [22] 今井卓司, “最適化問題を超高速で解く, 量子計算機に新手法が急迫,” 日経エレクトロニクス, **3**月号, pp. 73–77, 2017.
- [23] M. Maezawa, K. Imafuku, M. Hidaka, H. Koike and S. Kawabata, “Design of quantum annealing machine for prime factoring,” arXiv: 1712.05561, 2017.
- [24] 山岡雅直, 吉村地尋, 林真人, 奥山拓哉, 青木秀貴, 水野弘之, “AIの基礎研究—イジング計算機—,” 日立評論, **98**, pp. 65–68, 2016.
- [25] 塚本三六, 高津求, 松原聡, 田村泰孝, “組み合わせ最適化問題向けハードウェアの高速化アーキテクチャー,” *FUJITSU*, **68**, pp. 8–14, 2017.
- [26] T. Inagaki, Y. Haribara, K. Igarashi, T. Sonobe, S. Tamate, T. Honjo, A. Marandi, P. L. McMahon, T. Umeki, K. Enbutso, O. Tadanaga, H. Takenouchi, K. Aihara, K. Kawarabayashi, K. Inoue, S. Utsunomiya and H. Takesue, “A coherent Ising machine for 2000-node optimization problems,” *Science*, **354**, pp. 603–606, 2017.
- [27] QNNcloud, “Quantum Neural Network—OPO 相転移を用いた新しい計算機—,” <https://qnncloud.com/index-jp.html> (2018年3月14日閲覧)
- [28] R. Courtland, “The ising on the computer chip,” *IEEE Spectrum*, **54**, pp. 7–8, 2017.
- [29] B. Sutton, K. Y. Camsari, B. Behin-Aein and S. Datta, “Intrinsic optimization using stochastic nanomagnets,” *Scientific Reports*, **7**, article number: 44370, 2017.
- [30] S. Bhanja, D. K. Karunaratne, R. Panchumarthy, S. Rajaram and S. Sarkar, “Non-Boolean computing with nanomagnets for computer vision applications,” *Nature Nanotechnology*, **11**, pp. 177–183, 2016.
- [31] J. D. Biamonte and P. J. Love, *Physical Review A*, **78**, article number: 012352, 2008.