

連載

エデルマンの勇者たち (9) Intelの最適化から日本が見える

伊倉 義郎

今回のトピックは、2012年のEdelman賞コンペで finalist となった Intel である。Intel といえば、1970年代からマイクロプロセッサで急成長した会社で、おそらく読者の大半もその製品を毎日使っていることと思う。「ウインテル」という言葉があるように、Intel はマイクロソフトの Windows と共に発展してきた。現在でも PC 用の CPU が収益の大部分を占めているが、Intel の将来性はどうかというやや不透明である。特に、PC 頼みの CPU ビジネスから、モバイル機器対応へと変身できるかどうかは鍵となってくる。その中で、今回のプロジェクトが発表されたのは、その意義と共にビジネスとしての将来性を考えるうえで大変興味深いものがある。

Intel の OR を語る場合に忘れてはならない人物がいる。Karl Kempf という人で、1987年に Intel に移籍してから（それ以前は F1 用の Chip を開発していた！）、25年にわたって Intel 内の OR プロジェクトを仕切ってきた、と言っても過言ではないというような人物である（参照記事 [2]）。

その Kempf 氏の率いる OR グループと Stanford 大学の Erhun 教授とのコラボにより、半導体装置の購入計画最適化を行った件が今回の受賞内容である（参照サイト [1]）。装置購入計画にオプションを導入するという一見複雑なスキームで直観的にはわかりにくい内容であるが、その意図するところは深い。具体的な内容を紹介する前に、まずは Intel 内で Kempf 氏のたどってきた跡を振り返ってみたい。

1990年代、Kempf 氏は生産現場での業務改善からスタートしている。初めは 1 ライン 1 シフトからの改善であったが、その後複数ライン、複数シフトから複数のマネジャー、ついには工場全体の改善へと発展していった。数年後には工場全体で数百億円程度の投資

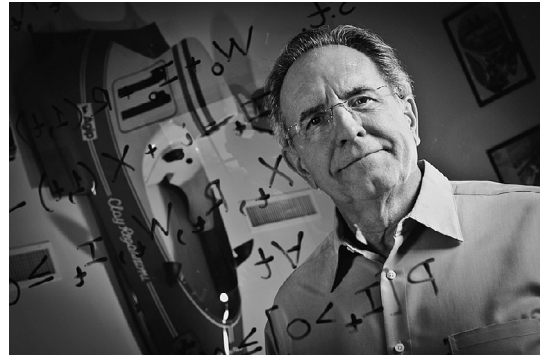


図 1 Karl Kempf 氏

効果を実現している（文献 [4]）。その後、人の配置問題（異なるスキルを持つ多数のエンジニアと社内プロジェクトのマッチング）や、原材料調達の最適化（文献 [5]）、需要予測の改善（文献 [6]）などで次々と成功を収めている。現在は Intel 内の OR グループ（Decision Technologies Group）の長として、さらに改善を目指す毎日を送っている。

Intel といえば、高度なスキルを持ったエンジニア集団であり、経営手法も数値に基づいた客観的な判断を特徴としている。ビジネスの規模が大きくなるにつれて、OR が根付くには理想的な環境とも考えられる。その一方で、Kempf 氏はいまだに古い手法を使って効率の悪い意思決定を続けている経営陣がいることを嘆いている。曰く、「George Dantzig が LP を発案してから 60 年になる。しかし LP を使えば数分で解けるのに、未だに Excel を使い続け、数日かけて意思決定しているグループがいるのは驚きである。」あの Intel であってもそうなのかと思うと、彼の言葉に共感を覚える読者も多いのではないだろうか。ただし、Intel 内の OR 浸透度は並大抵ではないことは忘れるわけにはいかない。

今回の Intel プロジェクトの内容を紹介しよう。Intel の生産コストの大きな要素として、製造装置の購入費

いくら よしろう
(株) サイトテック・ジャパン
東京都文京区本郷 2-19-9 田原ビル 2F

Moore's Law from a Manufacturing Perspective

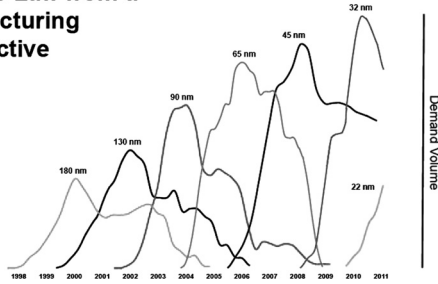


図2 CPUの販売額推移と技術の進化

用がある。ビジネス全体の売上が年間5兆円程度であるが、装置購入費用はその約1割（約5千億円）と巨大である。しかも、半導体製造装置の購入は発注から納入まで12~18カ月とリードタイム（LT）が長いのが特徴である。

よく知られたムーアの法則によると、2年に一度半導体製造の基本プロセスが改善されて集積度が2倍ずつ高まる。Intelはその波に乗りながら、常に次世代プロセス用の装置の設計と発注を行いながら成長してきた。図2にあるように、各世代の始まりからピーク時までの間隔が約2年とし、装置発注のLTの1年加えると、製品需要ピーク時の3年前には次世代の装置の発注を始めなければならない。さらにその準備となるとピーク時の5年前になるであろう。

発注サイクルを難しくする要因として、半導体の設計プロセスやビジネスの競争状況がある。半導体の集積度が増すにつれて、装置の発注LTは長くなる傾向にある。業界の先導者としてのIntelは、常に他社に先駆けて最先端の装置を考案し、購入し続けなければならない。つまり他社に先駆けて独自の製造プロセスを設計し、それにあった製造装置を十分なLTをもって発注しなければならないということになる。

その一方で、製品の需要予測は透明さを失いつつある。というのも、より広範なIT製品が流通するにつれて、CPUそのものの需要予測は逆に不確実性を増し、より困難になっているということである。

発注方法にも問題がある。従来の方法では、いったん発注をすれば納入時にそのまま購入するか、ペナルティーを払って納入をキャンセルするかであった。例えば2000年以前のIntelでは、5つのプロセス・ラインでのキャンセル料は50億円に達していたが、その一方で、余分な装置の購入額は200億円から300億円にも及んでいたという。つまり、長年の間、一部キャンセルはしながらも、余分な装置の購入が続いていた

ということである。何故それほどまでにありあまる装置を購入するかというと、装置が足りないことによる欠品損害額が2,000億円から3,000億円に及ぶであろうことにほかならない。つまり、低リスク選好のIntelとしては常に多めの装置を確保して十分な生産能力を保持し、多少の余剰能力は必要経費と考えていたということである。Intelが圧倒的に独占地位にあった時期ではそれも許されたかもしれないが、近年では徐々にそのような余裕はなくなりつつあった。

このやり方に疑問を投げかけ、新しい「スキーム」を導入したのが今回のプロジェクトの骨子である。DEMP（Dual Mode Equipment Procurement）と言われる新方式では、各装置の発注が2段階に分けて行われる。わかりやすい例として、Lithography（露光装置）という大変高価な製造装置がある。Lithography装置全体を発注する代わりに、低価格ながら長いLTを必要とする部品（レンズ）と、高価格でより短いLTの部品（本体部分）を分けて発注することにする。レンズは1年前、本体部分は半年程度がリードタイムとなる。四半期ごとにそれぞれの発注数を変えていくと、極端な場合、先に到着しているレンズをしばらく倉庫に眠らせ、ギリギリのタイミングで発注する本体部分と後に合体して使用するということも考えられる。

このような発注方式を考案し、2000年から2007年までの間、某Lithographyベンダーと共に4世代のプロセスにわたり実証実験を重ねた。その当時の意思決定支援ツールは、簡単なヒューリスティックによる分析ソフトであったという。結果としてわかったことは、リスク低減にはなるが、途中の発注数量をより正確に決めるにはより高度な計算を行うツールが必要ということであった。これを受けて、DMEPを数理的にサポートするためのツール作りが始まった。その際にこの分野での研究者として著名であるStanford大学のErhun教授に白羽の矢が立った。

Erhun教授との共同作業で開発されたスキームでは、発注をベース部分とフレックス部分とに分けて注文を管理することとなる。ベース部分はこれまでどおりの発注方法で、長めのLTの後に納入をするか、キャンセルしてペナルティーを払うかである。フレックス部分は、ベース部分よりも若干高めの値段設定になり、より短いLTでしかもその数量は後で変更が可能な部分となる。さらに発注の前に、予約というオプションが導入される。これは、ある程度の金額を払うことによって、ベースとフレックスに分けた発注の権利をIntelが取得するということである。予約金の支払いによつ

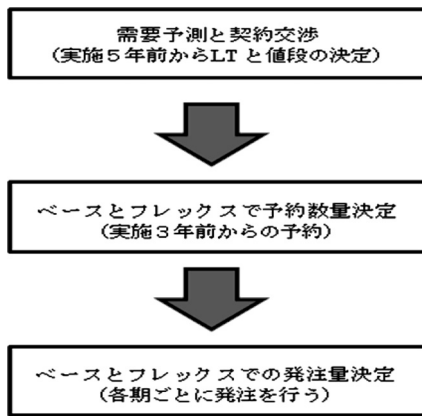


図3 3段階による DEMP プロセス

て、装置ベンダーはその装置の開発準備に入ることができる。

Intel 側の発注プロセス管理は、図3のような3段階のフローで表現される。

1 段階目では、次世代の製造プロセスの設計と完成品の需要予測が行われる。特に今回開発された需要予測モデルでは、予測の進化に関する古典的な Martingale モデルを修正し、予測平均値と予測誤差を別のモデルで解釈している。平均値は Markov プロセス、誤差は LT のみによる独立事象としてとらえ、Intel での経験に見合ったより現実的な解を提供する。この手法は、業界に関する社外データを取り入れながら、Intel 内の各ビジネスユニットで実施される。

第2段階では、数期後におけるベースとフレックスの発注数を予約する。装置ベンダーのリスク低減のために、予約金が支払われるのは前述のとおりである。また、予約金額やベース予約数とフレックス予約の数量はすべて各ベンダーとの交渉で決められている。その際に Intel 側では広範囲のシナリオ分析が実施され、将来の需要に関して可能なシナリオを多数発生させたモンテカルロ・シミュレーションを行う。結論としては、将来需要がより不透明であればあるほど、フレックス部分の数量が増えるという結果になるという。実際には、フレックス部分は全体数量の8%から14%で、Intel の経験則 12%に近い値であると報告されている。

第3段階は、予約の実施である。この部分は、予約されたベースとフレックスの数量に対して、実際に発注が行われる作業を示す。ここで使われる最適化モデルは、当該プロセスの最終期までの期待利益値を最大化する確率的計画問題である。実際には、連続的な分布のある確率要素についてはすべて離散値を取る分布

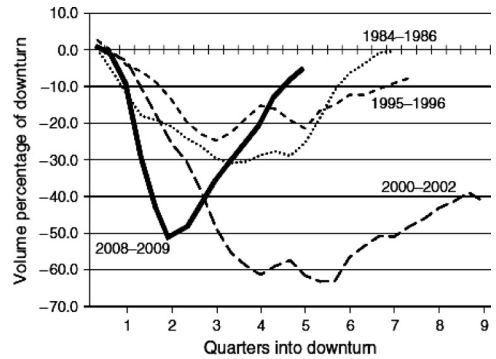


図4 過去4回の半導体需要下落推移

に置き換えられ、確率的計画問題が大型の線形計画問題として解かれている(文献[3])。

Intel では、この DMEP による新発注プロセスを、2008 年より実施した。当時は 45 nm (ナノメーター) から 32 nm への転換期で、32 nm プロセスの初期製造時の 2009 年に対して 13 の装置メーカーと 48 機種に対して行われた。需要は 2008 年の後半にリーマンショックによる需要の急激な落ち込みがあり、その後半年後には急激な増加に転じている(図4参照)。

旧発注方式では LT が 4 期であり、2008 年から 2009 年のような急激な需要の変化には対応しきれない。もしそのまま旧方式が実施されていれば、大幅な機械の在庫過多と、その後の製品欠品による価格上昇があったと考えられる。その間、DMEP はその柔軟性を遺憾なく発揮することとなり、旧方式に比べて約 2,240 億円の半導体需要が欠品なく救われたと推測されている。

そのほか、DMEP による投資効果としては、キャンセルによる違約金支払いの削減や、余分な装置の購入費用、管理費用や在庫費用の削減が挙げられ、その額は数百億円に上ると推定されている(文献[3])。

さて、Intel にとってみれば、たいへん旨みのある話ではあるが、装置ベンダーにとってメリットは何だろうか。Intel からの報告では装置ベンダーとは Win-Win の関係であるとされているが、はたしてそうだろうか。装置ベンダーにとっては、キャンセルがあってもインテル仕様の装置であれば、他社に簡単に転売できるという話もある。とはいえ、キャンセルによる損害リスクは皆無とは言えないだろうから、キャンセルが減るのは装置ベンダーにとってもメリットはありそうである。Kempf 氏からの筆者へのメールによれば、「多くのベンダーは製造期間の短縮化、不透明な長期予測の回避、資金回収の短期化などの点で喜んでいる」とのことである。すべては装置ベンダー側の製造コス

表 1 世界半導体の市場のマーケットシェア

ランク	企業名	シェア (%)
1	Intel	16.6
2	Samsung	8.4
3	Qualcomm	4.4
4	Texas Instruments	3.7
5	東芝	3.4
6	ルネサスエレクトロニクス	3.4
7	STM	2.8
8	SK Hynix	2.8
9	Broadcom	2.6
10	Micron Technology	2.3

(プレスリリース：ガートナー，2012年12月)

表 2 世界半導体製造装置のマーケットシェア

ランク	企業名	シェア (%)
1	Applied Materials	14.4
2	ASML	12.8
3	東京エレクトロン	11.1
4	Lam Research	7.4
5	KLA-Tencor	6.5
6	大日本スクリーン	3.9
7	アドバンテスト	3.7
8	日立ハイテク	3
9	ニコン	2.6
10	ASM International	2.5

(プレスリリース：ガートナー，2013年4月)

トヤリスク管理によるものと思われ、対応できるベンダーにとっては歓迎すべきことなのであろう。今回のIntelプレゼンの最後には、アプライドマテリアル社と東京エレクトロン社からのメッセージも掲載されていて、アプライドマテリアルはDMEPプログラムを高く評価している。日本のメーカーの本音はどうかと考えると、これは装置メーカーに直接聞かないと判明しないことであろう。また Kempf 氏自身は、「今回の OR アプリケーションは、Intel だけでなく、業界全体に刺激となる良い効果をもたらしている」ともしている。

では 22 nm による次世代製品の Silvermont はどうか。この製品は Intel のシェアの低いモバイル機器をターゲットにしている。それゆえ、需要予測はこれまで以上に格段に難しくなると思われるが、DMEP の内容からすれば、フレックス部分を大幅に拡大した内容になりそうである。それを踏まえたうえでの製造

装置メーカーへの発注は会社の存亡を賭けた勝負になるのではないだろうか。

最後に半導体業界を再度俯瞰してみたい。この業界はここ 20 年間に寡占化が進んでいて、CPU・MPU 分野ではトップ 5 社で 7~8 割を占めるに至っている。半導体全体では、トップ 2 社、Intel と Samsung が大きくシェアを取っている (表 1 参照)。

日本企業は辛うじて 2 社がトップ 10 に入っているが、6 位のルネサスエレクトロニクスは現在経営再建中である。一昔前の半導体業界を思い出すと日系企業の凋落は明らかである。

しかるに半導体製造装置となると、日本企業はトップ 10 社には 5 社までが食い込んでいて、ここに日本企業の強みが見えてくる (表 2)。また半導体では劣勢でも、電子部品・デバイス業界となると日系企業は 4 割のマーケットシェアを持ち、その強みは依然として続いている。

日本の OR もこのような強い産業を支える OR でなければならぬのではないだろうか。Intel の装置購入最適化で一番影響を受けるのは、ほかならぬ装置メーカーである。オプション付きの発注をいかに自社の製造計画に取り込み、いかに柔軟に迅速に対応するか、装置メーカーとしての製造計画最適化プログラムの必要性が見えてくる。装置メーカーの半分は日系メーカーであるから、そのようなニーズは今後ますます増えるのではないだろうか。

参考文献

- [1] “Presentation by Intel at the 2012 Franz Edelman Competition,” INFORMS Video Learning Center, https://live.blueskybroadcast.com/bsb/client/CL_DEFAULT.asp?Client=569807&PCAT=4340&CAT=4341
- [2] “Karl Kempf, Intel’s Money-Saving Mathematician,” *BloombergBusinessweek*, <http://www.businessweek.com/articles/2012-05-31/karl-kempf-intels-money-saving-mathematician>
- [3] Kempf, K. et al., “Optimizing Capital Investment Decisions at Intel Corporation,” *Interfaces*, **43**(1), 62–78, January–February, 2013.
- [4] Sashihara, S., *The Optimization Edge*, McGraw Hill, 2011.
- [5] Shirodkar, S. and Kempf K., “Supply Chain Collaboration Through Shared Capacity Models,” *Interfaces*, **36**(5), 420–432, September–October, 2006.
- [6] Wu, S. D. et al., “Improved New-Product Forecasting at Intel Corporation,” *Interfaces*, **40**(5), 385–396, September–October 2010.