

256 MDRAM 開発における IBM, シーメンス 及び東芝のパートナーリング

中塚 晴夫

1. はじめに

最近では半導体と言えば LSI のことを指すようになってきているが、半導体の歴史は 1947 年の Schokley 等によるトランジスタの発明に端を発している。一個のトランジスタが半導体素子と言われた時から約 50 年後の現在では、数億個のトランジスタが一つの素子に集積されるようになってきている。

このような発展を遂げて来た背景には、現在の LSI に使われている MOS 型トランジスタが、その寸法を小さくすればするほど性能が上がるという事実がある。これを Dennard 他[1]が、スケーリング則として定量的に表現し、微細化の指針を与えた。スケーリング則によれば、MOS トランジスタのゲート長、ゲート絶縁膜厚、ジャンクション深さ等の寸法パラメータを $1/S$ に縮小すると同時に、シリコン基盤の不純物密度を S 倍に高くし、これを動作させる時の電源電圧を $1/S$ に下げると、MOS トランジスタの種々の電気的特性が改善する。例えば、このトランジスタを使って構成したインバータ回路の信号伝達時間は $1/S$ に短縮される。表 1 にこれらの改善パラメータを示す。

表 1 スケーリング則による MOS 回路の特性改善

パラメータ	縮小率
デバイス寸法	$1/S$
基盤不純物濃度	S
電源電圧	$1/S$
電源電流	$1/S$
寄生容量	$1/S$
インバータ回路遅延	$1/S$
消費電力/ゲート	$1/S^2$
電力・遅延積	$1/S^3$

MOS トランジスタの寸法を小さくすることはその電気的特性の改善を実現するのみならず、経済的にも大きなメリットをもたらす。トランジスタが小さくなることにより材料コストが下がることと同時に、多数のトランジスタを一括して一片のシリコンチップに作り込んで回路とすることにより、機能当たりのコストを大幅に下げることが出来る。これがトランジスタから IC へ、IC から LSI へと半導体を発展させてきたガイディングプリンシプルである。人々が懸命に微細化/高集積化を進めた結果約 3 年で集積度が 4 倍に向上するようになってきた。この傾向 (トレンド) はそれを指摘した人の名をとって Moore の法則と言われている。ただしこれは経験的な法則であり、理論的な根拠がある訳ではない。それにもかかわらず、それ以降半導体業界はこのトレンドを将来に外挿して、これを目標に開発競争にしのぎを削って来た。DRAM の容量と最小加工寸法のトレンドを図 1 に示す。

半導体の微細化技術は、量子力学やバンド理論などに代表されるいわゆる半導体物理学とは無縁といってもよく、むしろ化学、光学といった技術の極限を追求し、それを量産化するための装置開発が中心をなす。そして微細化が進むにつれてその開発の困難度が高まり、それにつれて開発コストが膨大になってきている。本稿のテーマである 256 MDRAM では 0.25μ という

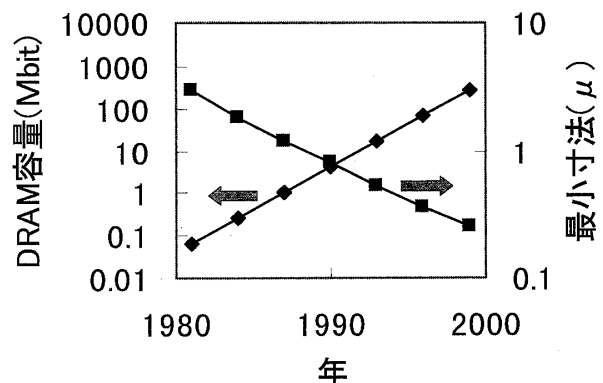


図 1 DRAM 容量と最小加工寸法のトレンド

極小寸法の加工技術の開発が必要であった。このためには莫大な開発費を必要とする。これがIBM、シーメンス、東芝のパートナーリングを促した要因である。

2. 先進半導体の開発コスト

半導体の製造には、それが開発試作のためであれ量産のためであれ、非常に清浄度の高いクリーンルームが必要である。微細な寸法の加工工程では微少なおみの付着により欠陥を生じ、LSIを不良品としてしまう。微細化の進展に伴いより清浄度の高いクリーンルームが要求される。この建設費、ランニングコストが非常に高額となる。一方、微細な寸法の加工を行うためには、精密制御された種々の装置を必要とし、この投資は膨大となる。256 MDRAM レベルのLSIの開発のための中規模の試作ラインを想定して開発費を見積もってみる。クリーンルームの建設費と内蔵設備費を合わせると約500億円の投資を必要とする。これを10年で償却するとすると50億円/年の償却費負担が発生する。このクリーンルームの運営には、動力費、作業者の人件費等を含めて約50億円/年程度を必要とする。つまり開発試作ラインを維持運営するだけで年間約100億円のコストが発生することになる。これに加えて製品開発にかかる研究者の人件費、材料費等で年間約50億円程度の費用が見込まれる。開発に約5年間かかるとすると総開発費は約750億円と見積もられる。一般に256 MDRAMの開発には500億円から1000億円かかると言われており、この見積もりはほぼ妥当なものと考えられる。

3. パートナリングによるコスト分担 モデル

開発費は、最終的には製品の売価にオーバーヘッドとして上乘せして回収されなければならない。しかし上記のように開発費が高額になってくると、これを各社が独立に負担していたのでは、コスト競争力を失う。そこで複数社がパートナーリングを組むことにより、開発費を分担するメリットが出てくる。

パートナーリングに参加する企業数をNとし、開発クリーンルームコスト（内蔵設備投資の減価償却費を含む）をC、技術開発コスト（研究者人件費、開発材料費）をDとする。上記の見積もりでは

$$C=100 \text{ 億円/年}$$

$$D=50 \text{ 億円/年}$$

となる。Nが同じであってもパートナーリングのモデ

ルにより各社が負担するコスト C_s は異なる。

3.1 モデルA：Closely coupled model

このモデルではN社が一個所に集結して、共通の開発クリーンルームを使用し、共通の開発仕様に向けて一丸となって開発を行う。この場合は各社の負担 C_s は

$$C_s = C/N + D/N$$

となる。経済的には最も効率的なパートナーリングであるが、運用上はもっとも難しいモデルである。

CをN社で分担するには、N社が共通のクリーンルームを使用する必要があるが、その場所の選定が難しい。各社が既に最新鋭の開発クリーンルームを持っている場合には、選定されなかったパートナーのクリーンルームコストが問題となる。このモデルが成り立つには、1社のみが最新鋭のクリーンルームを持っていて他社が持っていない場合、あるいは、どのパートナーも最新鋭のクリーンルームを持っておらずこれから共同でクリーンルームを建設する場合のみであろう。

DをN社で分担するには、共通の開発仕様に基づき開発する必要があるが、このためには研究開発のマネジメントが重要である。言葉も文化も異なる研究者をまとめて、しかも一つの開発仕様を目指して研究を進めるのは容易ではない。各社が異なる技術資産を持ち異なる開発仕様を持っているのが普通であるが、これを統一化することがこのモデルを成功させる鍵の一つである。又、クリーンルームを持たないパートナーは、研究者を他の場所へ移転させなければならないという問題や、開発された技術を自社へ移転しなければならないという問題が存在する。

3.2 モデルB：Moderately coupled model

このモデルでは、パートナーはそれぞれの場所で開発を行うが、技術の開発においては共通の開発仕様を設定しこれを分担して開発する。この場合の各社の負担 C_s は

$$C_s = C + D/N$$

となる。各社のコスト低減率はClosely coupled modelよりも少ないが、各社が既に最新鋭の開発クリーンルームを持っている場合に適用可能なモデルである。

しかし、技術開発費Dを分担するには、開発仕様の統一化の他に、開発の内容を分割して各パートナーに割り振らねばならないという問題がある。開発成果をお互いに技術移転する必要があることを考慮すれば、どのパートナーも最も重要度の高い部分を自社で開発

したがるのが自然である。又、分担して開発した技術を統合して開発仕様が達成されたことを実証するのにどうするかも課題である。各パートナー毎に実証を行えば、D/Nのメリットが崩れることになる。

3.3 モデルC: Loosely coupled model

上記のような問題を避けて各パートナーはそれぞれの場所でそれぞれの開発仕様に基つき開発を行うが、お互いに技術情報を交換するというモデルが考えられる。この場合には開発コストを分担して負担するということは出来ない。しかし、新技術の開発途上では種々の技術的可能性を追求していくので、結果としていくつかの可能性を断念せざるをえない場合も多い。そのような場合、他のパートナーが既に研究を行って良い結果が出なかったということが分かっているならば、その技術を重複して研究するという無駄を省くことが出来る。これにより各パートナーはある程度開発コストを削減できる。重複を避ける効果を α とすると、各パートナーの開発コストは

$$C_s = C + D / (1 + \alpha)$$

となる。重複開発を避けるには否定的な技術情報のみならず、肯定的な技術情報も大きな効果を持つ。他のパートナーの良い技術情報を取り入れて開発を加速することが可能である。但し、この場合には知的財産権の取り扱いが問題となる。前記の2つのモデルでは、開発費をパートナー間で分担しているのだから、基本的には開発成果は共有される。しかし Loosely coupled model では相手方の開発費を負担していないので、他のパートナーの技術情報を事業に利用した場合には別途ライセンス交渉が必要となる。技術内容により対価が異なるので、パートナーリングの最初からライセンス条件を決めることは困難である。

実際のパートナーリングでは、種々の変形が有り得るが、先端半導体開発のコスト分担から見たモデルとしては上記の3モデルに集約される。表2にこれらのモ

表2 共同開発モデルの比較

モデル	A	B	C
結合度合い	密結合	中結合	粗結合
開発場所	共通	分離	分離
開発技術	共通	分配	独立
コスト負担	分担	一部分担	各自負担
技術成果	共有	共有	交換
知的財産権	共有	一部共有	独立

デルの諸指標を比較して示す。

4. IBM, Siemens, 東芝による256 MDRAM 共同開発プロジェクト

この共同開発プロジェクトは前記のモデルAに対応するパートナーリングであり[2]、1992年に始まり1996年に完了した。

共通の開発施設としては米国ニューヨーク州にあるIBMのクリーンルームが使用された。他のパートナーであるSiemensは自前の開発クリーンルームを持っておらず、既に64 MDRAMをIBMと共同で開発していた。東芝は最新鋭の開発クリーンルームを建設中であったが、これを一時中断して共同開発に参画した。その後半導体が好景気であった1995年に建設を再開し、プロジェクトの終了とともにその技術成果をこの開発クリーンルームに移転した。

共同開発の目標仕様の統一化については、この3社に共通の技術財産があり比較的容易であった。DRAMのメモリーセルの構造にはトレンチ型とスタック型の2通りがあり、IBM, Siemens, 東芝はトレンチ型を採用していた。トレンチ派とスタック派が共同開発をしていたとすると、開発仕様の統一化は極めて困難であったであろうと想像される。トレンチとスタックでは開発すべき要素技術が大きく異なる。

トレンチ型という共通のメモリーセル構造を採用していてもそれを実現するための諸技術は必ずしも共通ではなく、各社がそれぞれ蓄積してきた技術(バックグラウンドテクノロジー)には異なるものも多かった。これを共同開発の中にどう織り込んで行くかが大きな課題であった。自社の技術がベースになれば、共同開発の256 MDRAMを後に量産化する際に、既存の自社の製造ラインと親和性が保てる。この問題は共同開発遂行の過程で常につきまとうたが、結局は3社の持っている技術のシナジー効果を追求することを第一義とすることで解決した。

4.1 プロジェクトマネージメント

このプロジェクトは日米欧の3社が一堂に集まって最新鋭の半導体技術開発を行うという過去に事例のない試みであった。実際のプロジェクト運営のマネージメントがこのプロジェクトの成否を左右するとの認識のもとに3社で大きな努力が払われた。各社から精鋭の研究者が選ばれ、更に共同開発プロジェクトに向く人が派遣された。プロジェクトで使用される言葉は英語しか考えられず、東芝から派遣した研究者には出来

るだけ英語の堪能な人を選んだが、総勢50余名の派遣研究者が全て英語を話せるというわけには行かなかった。ホスト側のIBMでは技術が出来るのみならず、協調性のある人材が選ばれ、言葉の不自由な日本人をよく面倒みてくれた。

プロジェクト組織としては3社が平等且つ均等に扱われるようにした。プロジェクトマネージャのポジションは東芝が取ることとなったが、他の2社からもアシスタントマネージャを出し、事実上トロイカ体制で運営を行った。又、プロジェクトの経理を担当するファイナンシャルコントローラと技術管理を担当するテクニカルコントローラを各社から一名ずつ配置した。マネージャー陣の下に開発組織を作ったが、各部門に部門長、担当者を各社から出来るだけ均等に選び配置した。プロジェクトの運営組織を図2に示す。

このようなプロジェクトを運営するにあたり、親会社の役割が非常に重要となる。開発成果がスケジュール通りになることが親会社の目的であり、このためにプロジェクトに必要なリソースの投入をしている以上、プロジェクトの進捗を管理する必要がある。また、開発途上で種々の障害が出てくるのは避けられず、その対応についても最終的には親会社が納得するものでなければならない。親会社が3社あるのでこれらの判断にも3社の合意が必要であった。このために、各親会社にマネジメントコーディネータを置き責任を持って親会社を代表させるとともに、定期的に会合を持たせた。この会合には各社のマネジメントコーディネータと、開発プロジェクト側からプロジェクトマネージャ及びアシスタントマネージャが出席し、開発のフォロー、開発計画の修正、それに伴う影響等を議論し、方針を決定した。

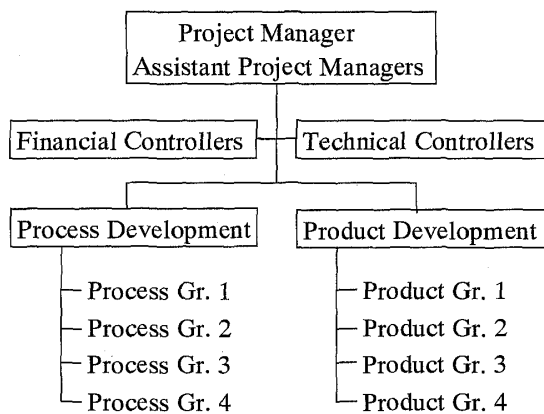


図2 プロジェクト運営組織

4.2 技術開発

DRAMの製造には数百にわたるプロセスステップを必要とする。個々のプロセスを選択しそれを開発するとともに、それらを組み合わせてプロセスフローとして所望のデバイス特性を実現しなければならない。又、そのプロセスを実行するために必要な精密且つ高価な装置の選択をしなければならない。これらの過程では常に自明の選択肢ばかりではなかった。各社のバックグラウンドテクノロジーの違いや研究者個々人の考え方の違いによりしばしば異なる選択肢が提案された。文化も言葉も異なる企業間の共同プロジェクトではこれがプロジェクトを破綻させる可能性もある。これに対しては「最も良いものを選ぶ」という原則を採用することとした。これは当たり前のようであるが、実際には容易ではない。このためには、1) データに基づくこと、2) 必要なら複数の選択肢を試すこと、という方針を採った。3社が共同で開発するという事により、これらが可能であった。即ち、データについては複数の親会社からより広範囲なデータを集めることができ、更にプロジェクト内でデータを取る場合にも3社プロジェクトであるが故に十分なリソースを当てることができた。データにより選択肢を絞り込んでも尚、最も良いものを選び切れない場合には複数の選択肢にリソースを投入した。特に高価な装置の選択に当たっては、3社で負担するが故に複数の選択肢を採ることが可能であった。絞りきれなかった選択肢も最終的には一つに決めなければならないが、当然データに基づき決定した。

このように3社のリソースを有効に活用することにより、各社間の対立よりもシナジー効果を引き出すことができた。しかし、このようにしてプロジェクトにおける開発が順調に進んで行くにつれて、親会社の方から一つの懸念が表明されるようになった。それはプロジェクトで開発されている技術はどの親会社のバックグラウンドテクノロジーとも必ずしも連続性が無いことであった。半導体の製造ラインでは過去の蓄積の上に新規技術を積み増す形で投資をしてきた。ところがプロジェクトで開発されている技術では、新しい装置群を使いその上に新しいプロセス技術を乗せる形となっている。個々の装置や技術には各親会社の技術が採用されているものも多いが、一式として完成された技術にはどの親会社の蓄積技術とも連続性が無い。この問題はマネジメントコーディネータ会議で議論され、各親会社のトップレベルの判断を仰ぐこととなっ

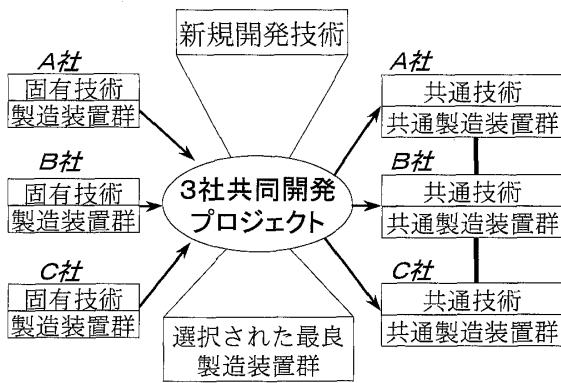


図3 共同開発前後の製造ライン投資戦略

た。これは各社の製造ラインへの投資戦略を左右するものであり極めて重要な判断を要した。最終的には各社とも、256 MDRAM以降の製造ライン投資には過去の連続性を断ち切り、プロジェクトで開発された技術を3社の共通技術として採用することとなった。これにより過去の蓄積技術との連続性は必ずしも取れないが、一方、今後は3社で共通の装置群と技術を使用することにより相互に支援しあえるというメリットが享受される。この関係を図3に図示する。

4.3 技術移転

プロジェクトの最終年度のころから各社は共通技術をベースに最新鋭の製造ラインの投資を開始した。東芝の場合は製造ラインと同時に、中断していた開発クリーンルームの立ち上げも再開した。市場の状況からはまだ256 MDRAMの量産時期ではなく、このラインは64 MDRAMの製造ラインとなったが、256 MDRAMの技術の一部を64 MDRAMに適用した。再開した開発クリーンルームには256 MDRAM技術を移転した。技術移転に際しては“Copy exactly”の原則を適用した。前記の原則、即ち共同開発後は共通技術を使うという原則にもかかわらず、細部に至れば各国の事情が異なり、プロジェクトで開発された技術をそのままコピーすることは必ずしも合理的ではなかった。特に時間の経過と共に製造装置の改良やより良い製造装置の登場などがあり、共同開発プロジェク

トで初期に導入した装置が最良のものとは限らない場合も出てきていた。しかし、最初の一式の製造装置は共同開発で使った装置と同じものを導入した。このことと、共同開発した技術の詳細を知っていたことから比較的短期間に技術移転に成功した。その後より新しい装置を導入し技術の調整を経て量産ラインを立ち上げた。IBM、シーメンスともに順調に技術移転を行うことができたと聞いている。

5. おわりに

IBM、シーメンス及び東芝の256 MDRAM共同開発はパートナーリングのモデルAの典型であったが、成功裏のうちにプロジェクトを終了した。自前で全部の開発を行うのに比較して、人・物・金というリソースを各社ともほぼ三分の一の負担で済ませることができた。モデルAが実際にうまく働くという実証ができたと考えられる。このモデルの成功のためにはマネージメントが重要であることは既に述べたとおりであるが、特に親会社のトップのパートナーリングにかける意欲が不可欠である。今回の例では3社ともトップレベルのプロジェクトにかける熱意には並々ならぬものがあり、これが色々な困難や障害を乗り越えられた原動力であった。この共同開発を通じてトップレベルの交流が深まりお互いの信頼が高まった。しかし、やり方を誤ると不信感が高まりパートナーリングが挫折することも有り得ることを考えると、当時の3社のトップに感謝したい。

最後に、プロジェクトは成功したが市場の急変により未曾有のDRAM不況に陥り、パートナーリングが事業としては利益に貢献していないのが残念である。

参考文献

- [1] R.H. Dennard et al. “Design of Ion Implanted MOSFET's with Small Physical Dimensions”, IEEE J. Solid-State Circuits, Vol. SC-9, No. 5 pp. 256-268, 1974
- [2] H. Nakatsuka; “DRAM Development Alliance”, Proceedings of ISSM '96, pp. 21-24, 1996